



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Soichi YAMAZAKI, et al.

GAU:

SERIAL NO: 10/750,814

EXAMINER:

FILED: January 5, 2004

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2003-323330	September 16, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.  
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

0580247  
10/750,814

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日      2 0 0 3 年   9 月 1 6 日  
Date of Application:

出 願 番 号      特 願 2 0 0 3 - 3 2 3 3 3 0  
Application Number:  
[ST. 10/C]:      [ J P 2 0 0 3 - 3 2 3 3 3 0 ]

出 願 人      株式会社東芝  
Applicant(s):

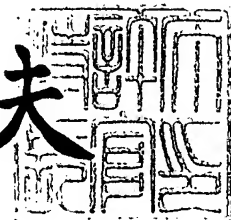
CERTIFIED COPY OF  
PRIORITY DOCUMENT

BEST AVAILABLE COPY

2 0 0 4 年   1 月   7 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号   出証特 2 0 0 3 - 3 1 0 9 1 2 9

【書類名】 特許願  
【整理番号】 A000300737  
【提出日】 平成15年 9月16日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 21/00  
【発明者】  
    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所  
                                内  
    【氏名】 山崎 壮一  
【発明者】  
    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所  
                                内  
    【氏名】 金谷 宏行  
【発明者】  
    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所  
                                内  
    【氏名】 富岡 和広  
【発明者】  
    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所  
                                内  
    【氏名】 山川 晃司  
【特許出願人】  
    【識別番号】 000003078  
    【氏名又は名称】 株式会社 東芝  
【代理人】  
    【識別番号】 100058479  
    【弁理士】  
    【氏名又は名称】 鈴江 武彦  
    【電話番号】 03-3502-3181  
【選任した代理人】  
    【識別番号】 100091351  
    【弁理士】  
    【氏名又は名称】 河野 哲  
【選任した代理人】  
    【識別番号】 100088683  
    【弁理士】  
    【氏名又は名称】 中村 誠  
【選任した代理人】  
    【識別番号】 100108855  
    【弁理士】  
    【氏名又は名称】 蔵田 昌俊  
【選任した代理人】  
    【識別番号】 100084618  
    【弁理士】  
    【氏名又は名称】 村松 貞男  
【選任した代理人】  
    【識別番号】 100092196  
    【弁理士】  
    【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

基板上に設けられた下部電極、この下部電極上に選択的に設けられたキャパシタ絶縁膜、およびこのキャパシタ絶縁膜を前記下部電極との間に挟んで前記下部電極上に選択的に設けられた上部電極からなるキャパシタと、

導電性を有する材料により形成されて前記上部電極の上面を覆って設けられた電極保護膜と、

この電極保護膜よりも加工され易い材料により形成されて前記キャパシタおよび前記電極保護膜を覆って前記基板上に設けられたマスク膜と、

前記マスク膜上に設けられ、前記マスク膜内に設けられた下部電極用プラグを介して前記下部電極に電氣的に接続された下部電極用上層配線と、

前記マスク膜上に設けられ、前記マスク膜内に設けられた上部電極用プラグおよび前記電極保護膜を介して前記上部電極に電氣的に接続された上部電極用上層配線と、

を具備することを特徴とする半導体装置。

**【請求項 2】**

前記電極保護膜は、前記マスク膜に対する加工選択比が 25% 以下の材料により形成されていることを特徴とする請求項 1 に記載の半導体装置。

**【請求項 3】**

前記電極保護膜は、前記マスク膜よりもエッチングレートが低い材料により形成されたエッチングストッパー膜であることを特徴とする請求項 1 に記載の半導体装置。

**【請求項 4】**

前記マスク膜は  $\text{SiO}_2$  のみからなる単層膜または  $\text{SiO}_2$  膜を含む積層膜であるとともに、前記電極保護膜は  $\text{SiO}_2$  膜に対するエッチングレートが 25% 以下である材料により形成されたエッチングストッパー膜であることを特徴とする請求項 3 に記載の半導体装置。

**【請求項 5】**

前記電極保護膜は、II-A 族、IV-A 族、および VIII 族に属する金属元素のうち少なくとも 1 種類の金属元素を含む材料により形成されていることを特徴とする請求項 1～4 のうちのいずれかに記載の半導体装置。

**【請求項 6】**

前記電極保護膜は、II-A 族、IV-A 族、および VIII 族に属する金属元素のうち少なくとも 1 種類の金属元素を含む酸化物導電体により形成されていることを特徴とする請求項 5 に記載の半導体装置。

**【請求項 7】**

前記電極保護膜は、 $\text{Sr}$ 、 $\text{Ti}$ 、 $\text{Ru}$ 、 $\text{Ir}$ 、 $\text{Pt}$  のうち少なくとも 1 種類の金属元素を含む材料により形成されていることを特徴とする請求項 5 に記載の半導体装置。

**【請求項 8】**

前記電極保護膜は、 $\text{IrO}_2$ 、 $\text{RuO}_2$ 、 $\text{SrRuO}_3$  のうちのいずれかの酸化物導電体により形成されていることを特徴とする請求項 6 に記載の半導体装置。

**【請求項 9】**

前記上部電極は、前記電極保護膜を形成する材料を少なくとも 1 種類含む材料により形成されていることを特徴とする請求項 5～8 のうちのいずれかに記載の半導体装置。

**【請求項 10】**

基板上に設けられたキャパシタの下部電極上にキャパシタ絶縁膜を選択的に設けるとともに、前記下部電極との間に前記キャパシタ絶縁膜を挟んでキャパシタの上部電極を設ける工程と、

前記上部電極の上面を覆って導電性を有する材料からなる電極保護膜を設ける工程と、

前記キャパシタおよび前記電極保護膜を覆って前記電極保護膜よりも加工され易い材料からなるマスク膜を設ける工程と、

前記マスク膜を選択的にエッチングし、下部電極用プラグを設けるための第 1 のプラグ

用凹部、および上部電極用プラグを設けるための第 2 のプラグ用凹部を設ける工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項 1 1】

前記電極保護膜を前記マスク膜よりもエッチングレートが低い材料により形成するとともに、前記第 1 および第 2 のプラグ用凹部とともに R I E 工程により並行して形成することを特徴とする請求項 1 0 に記載の半導体装置の製造方法。

【請求項 1 2】

前記マスク膜を S i O<sub>2</sub>のみからなる単層膜または S i O<sub>2</sub>膜を含む積層膜により形成するとともに、前記電極保護膜を S i O<sub>2</sub>膜に対するエッチングレートが 2 5 % 以下である材料により形成することを特徴とする請求項 1 1 に記載の半導体装置の製造方法。

【請求項 1 3】

前記電極保護膜を、酸素雰囲気下においてスパッタリング法により酸化物導電体として形成することを特徴とする請求項 1 2 に記載の半導体装置の製造方法。

【請求項 1 4】

前記電極保護膜を、酸素雰囲気下において C V D 法により酸化物導電体として形成することを特徴とする請求項 1 2 に記載の半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置およびその製造方法

【技術分野】

【0001】

本発明は、例えばDRAMやFeRAMなどの半導体装置におけるキャパシタの電気的性能の向上を図る技術に係り、特にキャパシタがオフセット構造に配置されたChain FeRAMにおいてキャパシタの電極付近の構造の改良を図った半導体装置およびその製造方法に関する。

【背景技術】

【0002】

近年、デジタル電子機器が取り扱う情報が静止画像情報や動画情報などに広がり、その情報量が大幅に増大している。これに伴って、デジタル電子機器に使用される半導体メモリについても、以前にも増して大容量が要求されている。半導体メモリの大容量化のために、近年、例えばPZT ( $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ )、BIT ( $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ )、あるいはSBT ( $\text{SrBi}_2\text{Ta}_2\text{O}_9$ )等の強誘電体からなる膜をキャパシタ絶縁膜として利用する強誘電体メモリ(FeRAM: Ferroelectric Random Access Memory)の開発が進められている。不揮発性メモリであるFeRAMは、簡潔に言えば、キャパシタ絶縁膜(容量絶縁膜)を、DRAMに用いられているシリコン酸化膜などから前述したような強誘電体膜に置き換えたものである。

【0003】

FeRAMのキャパシタセルの構造としては、例えばキャパシタの電極とトランジスタの活性領域とを接続するオフセット型の構造がある(例えば特許文献1~3参照)。前述したような強誘電体材料を利用するFeRAMのうち、これまで実用化されているFeRAMでは、このオフセット構造が採用されている。このオフセット構造のキャパシタセルでは、キャパシタを形成した後、キャパシタ電極に接続されるプラグなどを形成する。このため、キャパシタ絶縁膜となる強誘電体膜等を形成するための熱処理が、プラグへの負担となるおそれが殆ど無いという特徴を有している。

【0004】

また、いわゆるChain FeRAMでは、キャパシタの上層に設けられる上層配線とキャパシタの上部電極または下部電極に接続されるコンタクトプラグとを、一度にまとめて形成するのが一般的である。すなわち、Chain FeRAMでは、上層配線とコンタクトプラグとを、いわゆるデュアルダマシン構造で形成するのが一般的である。以下、図5を参照しつつ、Chain FeRAMが備えるオフセット構造のキャパシタセルについて簡潔に説明する。図5は、Chain FeRAMが備えるオフセット構造のキャパシタセルを示す断面図である。

【0005】

図5に示すChain FeRAM 101では、活性領域102および図示しない素子分離領域が形成されたシリコン基板103上に、ゲート104が2個形成されている。すなわち、シリコン基板103の表層部に、活性領域102、素子分離領域、およびゲート104などからなるMOSトランジスタ105が2個設けられている。各ゲート104は、ゲート酸化膜106、ゲート電極107、ゲートキャップ膜108、およびゲート側壁膜109などから構成されている。ゲート電極107は、積層された第1および第2のゲート電極107a, 107bから構成されている。また、ゲートキャップ膜108およびゲート側壁膜109は、例えばSiN膜により形成されている。

【0006】

また、シリコン基板103上には、活性領域102および各ゲート104を覆って第1の層間絶縁膜110が設けられている。そして、第1の層間絶縁膜110上には、積層された第2および第3の層間絶縁膜111, 112からなる多層層間絶縁膜113が設けられている。これら第1~第3の層間絶縁膜110, 111, 112は、それぞれの上面(表面)を平坦化されている。第3の層間絶縁膜112上には、2個のゲート104(MO

Sトランジスタ105)の上方に位置してキャパシタ114が2個設けられている。

【0007】

各キャパシタ114は、第3の層間絶縁膜112上に設けられたキャパシタ下部電極115、およびこの下部電極115上に設けられた2個のキャパシタセル116などから構成されている。各キャパシタセル116は、キャパシタ絶縁膜117およびキャパシタ上部電極118などから構成されている。また、各キャパシタセル116は、下部電極115を共通の下部電極として設けられている。各キャパシタ114は、それらの電極を加工する際の保護膜となるハードマスク119により覆われている。ハードマスク119は、第1のハードマスク120および第2のハードマスク121から構成されている。第1のハードマスク120は、各上部電極118の上面(表面)を覆って設けられている。また、第2のハードマスク121は、第1のハードマスク120および各キャパシタ114を覆って設けられている。そして、第2のハードマスク121上には、第4の層間絶縁膜122が設けられている。

【0008】

各キャパシタ114の上方には、これらに電氣的に接続される上層配線123が複数本設けられている。これら上層配線123は、下部電極115に電氣的に接続される1本の下部電極用配線124、および各上部電極118に電氣的に接続される2本の上部電極用配線125などから構成されている。下部電極115は、下部電極用コンタクトプラグ126を介して下部電極用配線124に電氣的に接続されている。同様に、各上部電極118は、それぞれ上部電極用コンタクトプラグ127を介して上部電極用配線125に電氣的に接続されている。下部電極用配線124および下部電極用コンタクトプラグ126、ならびに上部電極用配線125および上部電極用コンタクトプラグ127は、それぞれ一体に埋め込まれて形成されている。すなわち、下部電極用配線124および下部電極用コンタクトプラグ126、ならびに上部電極用配線125および上部電極用コンタクトプラグ127は、それぞれいわゆるデュアルダマシ構造に形成されている。

【0009】

なお、キャパシタ下部電極115から下部電極用配線124を介してシリコン基板103の活性領域102に接続されるコンタクトプラグなどは、図5に示す断面内に現われ無いため、図5においてそれらの図示を省略する。

【特許文献1】特開平10-256503号公報

【特許文献2】特開2000-357773号公報

【特許文献3】特開2000-349247号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

図5に示されるようなオフセット構造を有するChain FeRAM101では、下部電極115に接続される下部電極用コンタクトプラグ126が、各上部電極118に接続される各上部電極用コンタクトプラグ127に比べて長くなる。ここで、各コンタクトプラグ126、127を形成するための図示しない下部電極用コンタクトホールおよび各上部電極用コンタクトホールを、例えばRIE法により併行して形成するプロセスを採用するとする。この場合、下部電極用コンタクトホールが下部電極115に達するまでエッチング処理を行うと、各上部電極用コンタクトホールの深さが適正な深さよりも深くなってしまふ。すなわち、各上部電極用コンタクトホールのエッチング量が適正量よりも多くなり、各上部電極118のエッチングが進行する。これにより、図5に示すように、各上部電極118の膜減りや突き抜けが生じる。

【0011】

本発明者らが行った実験によれば、図5に示されるような一般的なChain FeRAM101では、第2のハードマスク121に対する第1のハードマスク120のRIE法におけるエッチングレートが25%を超えると、略確実に各上部電極118の突き抜けが生じることが分かった。各上部電極118に膜減りや突き抜けが生じると、例えば以下に述べ



るような問題を引き起こし易い。

【0012】

第1に、例えば配線材料としてのAlを、リフロー法により各上部電極用コンタクトホール内に設けるとする。この場合、各上部電極118に膜減りや突き抜けが存在すると、各上部電極118を介して各キャパシタ絶縁膜117に不要な膜ストレスを与え易い。これにより、各キャパシタ114の特性が劣化し易くなる。

【0013】

第2に、各上部電極118に突き抜けが生じると、各キャパシタ絶縁膜117がRIE工程のプラズマ雰囲気中に直接晒される。これにより、各キャパシタ絶縁膜117が、各キャパシタ114の特性が著しく劣化するようなダメージを受け易くなる。また、各上部電極118に突き抜けが生じると、各上部電極用コンタクトホール内に設けられるTi、TiN、Ta<sub>2</sub>N<sub>5</sub>、Al、W、あるいはCuなどの配線材料が、各キャパシタ絶縁膜117に直接接触する。これにより、それらの配線材料と各キャパシタ絶縁膜117とが容易に反応して、各キャパシタ114の特性が劣化し易くなる。

【0014】

第3に、たとえ各上部電極118に突き抜けが生じなくとも、各上部電極118に膜減りが生じると、図示しないレジストのRIE工程中の反応により生成されるH<sub>2</sub>によって、各キャパシタ114がダメージを受け易くなる。これによっても、各キャパシタ114の特性が劣化し易くなる。

【0015】

このように、各上部電極118に膜減りや突き抜けが生じると、各キャパシタ114の特性が劣化するおそれが高くなる。ひいては、図5に示されるようなChain FeRAM101の歩留まりや信頼性を著しく劣化させる原因となる。

【0016】

本発明は、以上説明したような課題を解決するためになされたものであり、その目的とするところは、上部電極の膜減りや突き抜けが防止されて、品質、電気的性能、および信頼性の向上が図られた構造を有するキャパシタを備えた半導体装置を提供することにある。それとともに、そのような半導体装置を容易に製造できる半導体装置の製造方法を提供することにある。

【課題を解決するための手段】

【0017】

前記課題を解決するために、本発明の一態様に係る半導体装置は、基板上に設けられた下部電極、この下部電極上に選択的に設けられたキャパシタ絶縁膜、およびこのキャパシタ絶縁膜を前記下部電極との間に挟んで前記下部電極上に選択的に設けられた上部電極からなるキャパシタと、導電性を有する材料により形成されて前記上部電極の上面を覆って設けられた電極保護膜と、この電極保護膜よりも加工され易い材料により形成されて前記キャパシタおよび前記電極保護膜を覆って前記基板上に設けられたマスク膜と、前記マスク膜上に設けられ、前記マスク膜内に設けられた下部電極用プラグを介して前記下部電極に電氣的に接続された下部電極用上層配線と、前記マスク膜上に設けられ、前記マスク膜内に設けられた上部電極用プラグおよび前記電極保護膜を介して前記上部電極に電氣的に接続された上部電極用上層配線と、を具備することを特徴とするものである。

【0018】

この半導体装置においては、キャパシタの上部電極とキャパシタを覆って設けられたマスク膜との間に、マスク膜よりも加工され難い材料により形成された電極保護膜が設けられている。これにより、下部電極用プラグを設けるための凹部と上部電極用プラグを設けるための凹部とが、下部電極用プラグを設けるための凹部が下部電極の上面を露出するまで並行してマスク内に形成されても、上部電極用プラグを設けるための凹部が電極保護膜を貫通して上部電極の内部に侵入したり、上部電極を貫通したりするおそれが殆ど無い。すなわち、上部電極の膜減りや突き抜けが防止された構造を有するキャパシタを備えている。

## 【0019】

また、前記課題を解決するために、本発明の他の態様に係る半導体装置の製造方法は、基板上に設けられたキャパシタの下部電極上にキャパシタ絶縁膜を選択的に設けるとともに、前記下部電極との間に前記キャパシタ絶縁膜を挟んでキャパシタの上部電極を設ける工程と、前記上部電極の上面を覆って導電性を有する材料からなる電極保護膜を設ける工程と、前記キャパシタおよび前記電極保護膜を覆って前記電極保護膜よりも加工され易い材料からなるマスク膜を設ける工程と、前記マスク膜を選択的にエッチングし、下部電極用プラグを設けるための第1のプラグ用凹部、および上部電極用プラグを設けるための第2のプラグ用凹部を設ける工程と、を含むことを特徴とするものである。

## 【0020】

この半導体装置の製造方法においては、キャパシタの上部電極とキャパシタを覆って設けられるマスク膜との間に、マスク膜よりも加工され難い材料により形成された電極保護膜を設ける。これにより、下部電極用プラグを設けるための第1のプラグ用凹部と上部電極用プラグを設けるための第2のプラグ用凹部とを、第1のプラグ用凹部が下部電極の上面を露出するまで並行してマスク内に形成しても、第1のプラグ用凹部が電極保護膜を貫通して上部電極の内部に侵入したり、上部電極を貫通したりするおそれを容易に殆ど無くすることができる。すなわち、上部電極の膜減りや突き抜けが防止された構造を有するキャパシタを容易に作製することができる。

## 【発明の効果】

## 【0021】

本発明の一態様に係る半導体装置においては、キャパシタの上部電極とキャパシタを覆って設けられたマスク膜との間に、マスク膜よりも加工選択比が低い材料により形成された電極保護膜が設けられている。これにより、キャパシタの下部電極に電氣的に接続される下部電極用プラグを設けるための凹部と並行して形成される、上部電極に電氣的に接続される上部電極用プラグを設けるための凹部が、電極保護膜を貫通して上部電極の内部に侵入したり、上部電極を貫通したりするおそれが殆ど無い。すなわち、本発明に係る半導体装置は、上部電極の膜減りや突き抜けが防止されて、品質、電氣的性能、および信頼性の向上が図られた構造を有するキャパシタを備えている。

## 【0022】

また、本発明の他の態様に係る半導体装置の製造方法によれば、キャパシタの上部電極とキャパシタを覆って設けられるマスク膜との間に、マスク膜よりも加工選択比が低い材料により形成された電極保護膜を設ける。これにより、下部電極用プラグを設けるための第1のプラグ用凹部と上部電極用プラグを設けるための第2のプラグ用凹部とを、第1のプラグ用凹部が下部電極の上面を露出するまで並行してマスク内に形成しても、第1のプラグ用凹部が電極保護膜を貫通して上部電極の内部に侵入したり、上部電極を貫通したりするおそれを容易に殆ど無くすることができる。すなわち、本発明に係る半導体装置の製造方法によれば、上部電極の膜減りや突き抜けが防止されて、品質、電氣的性能、および信頼性の向上が図られた構造を有するキャパシタを備えた半導体装置を容易に製造できる。

## 【発明を実施するための最良の形態】

## 【0023】

以下、本発明の詳細を図示の実施形態によって説明する。

## 【0024】

先ず、本発明の一実施形態に係る半導体装置を、主に図1を参照しつつ説明する。図1は、本実施形態に係る半導体装置を示す平面図および断面図である。より具体的には、図1(a)は、いわゆるChain FeRAMが備えるオフセット構造のキャパシタセル（メモリセル）付近の構造をその上方から臨んで示す平面図であり、図1(b)は、図1(a)中破断線A-A'に沿って示す断面図である。

## 【0025】

図1(b)に示すように、Chain FeRAM 1が備えるp型シリコン基板2の表層部には、ソース・ドレイン拡散層（n<sup>-</sup>拡散層）となる活性領域3、および図示しない浅い溝

型の素子分離 (Shallow Trench Isolation: STI) 領域が形成されている。そして、活性領域 3 の両端部の上に、ゲート 4 がそれぞれ 1 個ずつ設けられている。したがって、p 型シリコン基板 2 の表層部には、ソース・ドレイン拡散層 3 および 2 個のゲート 4 などからなる MOS トランジスタ 5 が 2 個設けられている。各ゲート 4 は、ゲート絶縁膜 6、ワード線となるゲート電極 7、ゲートキャップ膜 8、およびゲート側壁膜 9 などから構成されている。各ゲート絶縁膜 6 は、例えば  $\text{SiO}_2$  膜などのシリコン酸化膜により形成されている。また、各ゲート電極 7 は、例えばポリ  $\text{Si}$  膜 7a 上に  $\text{WSi}_x$  膜 ( $\text{WSi}_2$  膜) 7b が積層されたポリサイド構造に形成されている。そして、ゲートキャップ膜 8 およびゲート側壁膜 9 は、例えば  $\text{SiN}$  膜などのシリコン窒化膜により形成されている。

#### 【0026】

また、p 型シリコン基板 2 の表面上には、ソース・ドレイン拡散層 3 および各ゲート 4 を覆って第 1 の層間絶縁膜としての CVD 酸化膜 10 が設けられている。そして、この CVD 酸化膜 10 の表面上には、さらに第 2 の層間絶縁膜としての CVD 窒化膜 11 および第 3 の層間絶縁膜としてのシリコン酸化膜 12 が連続して積層されて設けられている。シリコン酸化膜 12 の表面上には、2 個のゲート 4 (MOS トランジスタ 5) の上方に位置してキャパシタ (容量素子) 13 が 2 個設けられている。

#### 【0027】

各キャパシタ 13 は、シリコン酸化膜 12 の表面 (上面) を覆って設けられたキャパシタ下部電極 14、およびこの下部電極 14 の表面 (上面) 上に選択的に設けられた 2 個のキャパシタセル 15 などから構成されている。各キャパシタセル 15 は、キャパシタ絶縁膜 (容量絶縁膜) 16、およびこのキャパシタ絶縁膜 16 を下部電極 14 との間に挟んで設けられたキャパシタ上部電極 17 などから構成されている。また、各キャパシタセル 15 は、下部電極 14 を共通の下部電極として設けられている。

#### 【0028】

下部電極 14 は、例えば  $\text{SrRuO}_3$  膜 (SRO 膜)、 $\text{Ir}$  膜、 $\text{IrO}_2$  膜、 $\text{Pt}$  膜、 $\text{Ti}$  膜、 $\text{TiN}$  膜、 $\text{Ru}$  膜、 $\text{RuO}_2$  膜などにより形成される。あるいは、下部電極 14 は、それら各膜のうちの幾つかの膜を組み合わせる積層膜により形成される。このような積層膜の代表例としては、 $\text{SRO}/\text{Ti}/\text{Pt}/\text{Ti}$  積層膜、 $\text{SRO}/\text{Ti}/\text{IrO}_2/\text{Ir}/\text{Ti}$  積層膜、あるいは  $\text{SRO}/\text{Ti}/\text{Ir}/\text{Ti}$  積層膜などが挙げられる。なお、これら各積層膜の構成は、それぞれ上側から下側に向けて順番に記載した。本実施形態では、下部電極 14 を  $\text{SRO}/\text{Ti}/\text{Pt}/\text{Ti}$  積層膜を用いて形成する。

#### 【0029】

また、キャパシタ絶縁膜 16 は、例えば  $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$  膜 (PZT 膜)、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  膜 (BIT 膜)、あるいは  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  膜 (SBT 膜) などの強誘電体膜 (強誘電体薄膜) により形成される。本実施形態では、キャパシタ絶縁膜 16 を PZT 膜を用いて形成する。

#### 【0030】

さらに、上部電極 17 は、下部電極 14 と同様の材料 (膜) により形成される。上部電極 17 の形成材料のうち、積層膜の代表例としては、 $\text{Pt}/\text{SRO}$  積層膜、 $\text{IrO}_2/\text{Ir}/\text{SRO}$  積層膜、あるいは  $\text{Ir}/\text{SRO}$  積層膜などが挙げられる。なお、これら各積層膜の構成も、前述した下部電極 14 の積層膜と同様に、それぞれ上側から下側に向けて順番に記載した。本実施形態では、上部電極 17 を  $\text{Pt}/\text{SRO}$  積層膜を用いて形成する。

#### 【0031】

各キャパシタ 13 には、それぞれの上部電極 17 の上面 (表面) を覆って、導電性を有する材料により形成された電極保護膜 18 が設けられている。この電極保護膜 18 は、電極保護膜 18 が設けられた各キャパシタセル 15 および下部電極 14 を覆って設けられる、後述するマスク膜 19 よりも加工され難い材料により形成される。以下、電極保護膜 18 について詳しく説明する。

#### 【0032】

本実施形態では、図 1 (b) に示すように、キャパシタ 13 の上部電極 17 が下部電極

14よりも高い位置に形成されている。したがって、上部電極17上のマスク膜19の膜厚は、下部電極14上のマスク膜19の膜厚よりも薄い。このような構造において、図3(b)に示すように、上部電極17に電氣的に接続される後述する上部電極用コンタクトプラグ22bを設けるための上部電極用コンタクトホール25bを、下部電極14に電氣的に接続される後述する下部電極用コンタクトプラグ22aを設けるための下部電極用コンタクトホール25aと並行して、互いに略同じレートで形成するとする。言うまでもないが、上部電極用コンタクトホール25bは、電極保護膜18の上面(表面)を露出するように、下部電極14上のマスク膜19よりも薄い肉である上部電極17上のマスク膜19を貫通して形成されればよい。これに対して、下部電極用コンタクトホール25aは、下部電極14の上面(表面)を露出するように、上部電極17上のマスク膜19よりも厚肉である下部電極14上のマスク膜19を貫通して形成される必要がある。すなわち、下部電極用コンタクトホール25aは、キャパシタ絶縁膜16、上部電極17、および電極保護膜18を合わせた高さ分、上部電極用コンタクトホール25bよりも深い。

#### 【0033】

前述したように、上部電極用コンタクトホール25bを下部電極用コンタクトホール25aと並行して略同じレートで形成すると、マスク膜19内では下部電極用コンタクトホール25aは上部電極用コンタクトホール25bと略同じ深さまでしか到達することができない。したがって、上部電極用コンタクトホール25bが上部電極17上のマスク膜19を貫通して電極保護膜18の上面が露出されても、下部電極用コンタクトホール25aは下部電極14上のマスク膜19を貫通しておらず、下部電極14の上面は露出されていない。そこで、下部電極14の上面が露出するまで、下部電極用コンタクトホール25aをさらに掘り下げる。ここで、仮に電極保護膜18がマスク膜19と同程度に加工され易い材料により形成されているとする。すると、下部電極用コンタクトホール25aが掘り下げられるのに伴って、上部電極用コンタクトホール25bもさらに掘り下げられて電極保護膜18を貫通する。ひいては、上部電極用コンタクトホール25bによって上部電極17が削られたり、上部電極用コンタクトホール25bが上部電極17を貫通したりする。すなわち、上部電極17に膜減りや突き抜けが生じたりする。

#### 【0034】

このように、互いに深さの異なる下部電極用コンタクトホール25aと上部電極用コンタクトホール25bとを並行して略同じレートで形成する場合、電極保護膜18をマスク膜19と同程度に加工し易い材料で形成すると、上部電極17が膜減りや突き抜け等の損傷を受ける。上部電極17が損傷を受けると、キャパシタ13の特性が劣化する。ひいては、キャパシタ13を備えるChain F e R A M 1の品質や性能が劣化して、その信頼性および歩留まり等が低下する。そこで、本実施形態では、上部電極17が損傷を受けるのを防ぐために、電極保護膜18をマスク膜19よりも加工され難い材料により形成する。すなわち、下部電極14の上面が下部電極用コンタクトホール25aにより露出されるまで、下部電極用コンタクトホール25aよりも浅い上部電極用コンタクトホール25bを下部電極用コンタクトホール25aと並行して略同じレートで形成しても、上部電極17に膜減りや突き抜け等の損傷が生じない程度に加工困難な材料を用いて電極保護膜18を形成する。

#### 【0035】

本実施形態では、具体的には、電極保護膜18を、エッチングレートがマスク膜19よりも低い材料を用いてエッチングストッパー膜として形成する。本発明者らが行った実験によれば、電極保護膜18を、マスク膜19に対する加工選択比が約25%(1/4)以下である材料を用いて形成することにより、図1(b)に示すChain F e R A M 1と同等の構造を有する半導体装置において、例えば0.30 $\mu$ m以下のデザインルールに基づく集積度および微細度で製造される半導体装置はもちろんのこと、さらに高集積化および微細化が進んだ半導体装置においても、膜減りや突き抜け等の損傷が上部電極17に生じるおそれが殆ど無いことが確認された。すなわち、電極保護膜18を、エッチングレートがマスク膜19よりも著しく低い材料を用いて形成することにより、下部電極14の上面が

下部電極用コンタクトホール 25a により露出されるまで、下部電極用コンタクトホール 25a よりも浅い上部電極用コンタクトホール 25b を下部電極用コンタクトホール 25a と並行して略同じレートで形成しても、膜減りや突き抜け等の損傷が上部電極 17 に生じるおそれが殆ど無いことが確認された。

#### 【0036】

なお、本明細書中において、マスク膜 19 に対する電極保護膜 18 の加工選択比とは、マスク膜 19 に対する電極保護膜 18 の加工し易さ、または加工し難さを指すものとする。同様に、電極保護膜 18 に対するマスク膜 19 の加工選択比とは、電極保護膜 18 に対するマスク膜 19 の加工し易さ、または加工し難さを指すものとする。具体的には、マスク膜 19 に対する電極保護膜 18 の加工選択比とは、マスク膜 19 に対する電極保護膜 18 のエッチングレートを指すものとする。同様に、電極保護膜 18 に対するマスク膜 19 の加工選択比とは、電極保護膜 18 に対するマスク膜 19 のエッチングレートを指すものとする。

#### 【0037】

例えば、マスク膜 19 を  $\text{SiO}_2$  膜単体、あるいは  $\text{SiO}_2$  膜を含む複数の膜からなる積層膜を用いて形成するとする。この場合、エッチングストッパー膜 18 を  $\text{SiO}_2$  膜、 $\text{Ru}$  膜、 $\text{RuO}_2$  膜、あるいは  $\text{IrO}_2$  膜などを用いて形成する。好ましくは、これら各材料のうち、酸化物導電体である  $\text{SiO}_2$  膜、 $\text{RuO}_2$  膜、および  $\text{IrO}_2$  膜などを用いてエッチングストッパー膜 18 を形成する。これら各膜は、例えば  $\text{RIE}$  法により  $\text{SiO}_2$  膜をエッチングする条件の下では殆どエッチングされないため、 $\text{SiO}_2$  膜に対するエッチングレートを取ることは実質的に不可能である。すなわち、 $\text{SiO}_2$  膜は、エッチングストッパー膜 18 として採用可能な前記各膜に対する  $\text{RIE}$  工程における加工選択比（エッチングレート）を、実質的に無限大とみなすことができる材料である。本実施形態では、エッチングストッパー膜 18 を  $\text{SiO}_2$  膜を用いて形成する。

#### 【0038】

さらに、 $p$  型シリコン基板 2 上には、下部電極 14 の上面および各上部電極 17 の上面をエッチングストッパー膜 18 によって覆われた各キャパシタセル 15 を覆って、マスク膜（第 4 の層間絶縁膜）19 が設けられている。本実施形態では、マスク膜 19 は、第 1 のハードマスク膜 19a および第 2 のハードマスク膜 19b の 2 層構造からなるハードマスク膜として形成されている。第 1 のハードマスク膜 19a は、各エッチングストッパー膜 18 の上面を覆って設けられている。また、第 2 のハードマスク膜 19b は、第 1 のハードマスク膜 19a が設けられた各キャパシタセル 15 および下部電極 14 の表面を覆って設けられている。前述したように、ハードマスク膜 19 は、 $\text{RIE}$  工程におけるエッチングレートがエッチングストッパー膜 18 よりも著しく高い材料を用いて形成される。本実施形態では、第 1 および第 2 の各ハードマスク膜 19a, 19b を、ともに  $\text{Al}_2\text{O}_3$  膜上に  $\text{SiO}_2$  膜を積層させた 2 層構造からなる積層膜を用いて形成する。そして、第 2 のハードマスク膜 19b 上には、その表面を覆って第 5 の層間絶縁膜としての  $\text{SiO}_2$  膜 20 が設けられている。

#### 【0039】

また、図 1 (b) に示すように、ハードマスク膜 19 および第 5 の層間絶縁膜 20 内には、各キャパシタ 13 の下部電極 14 または上部電極 17 と電氣的に接続される上層配線 21 およびプラグ 22 が設けられている。具体的には、下部電極 14 のキャパシタ絶縁膜 16 に覆われていない領域の上方に、下部電極 14 に電氣的に接続される下部電極用上層配線（第 1 の配線）21a が 1 本設けられている。この下部電極用上層配線 21a は、第 2 のハードマスク膜 19b を略貫通して一体に形成された下部電極用コンタクトプラグ（第 1 のコンタクトプラグ）22a を介して、下部電極 14 に電氣的に接続されている。また、各キャパシタセル 15 の上方には、各上部電極 17 に電氣的に接続される上部電極用上層配線（第 2 の配線）21b が 1 本ずつ設けられている。これら各上部電極用上層配線 21b は、各上部電極 17 上の第 1 および第 2 の各ハードマスク膜 19a, 19b を略貫通して一体に形成された上部電極用コンタクトプラグ（第 2 のコンタクトプラグ）22b

および各エッチングストッパー膜 18 を介して、各上部電極 17 に電氣的に接続されている。

#### 【0040】

このように、下部電極用上層配線 21a と下部電極用コンタクトプラグ 22a、および各上部電極用上層配線 21b と各上部電極用コンタクトプラグ 22b は、それぞれいわゆるデュアルダマシン構造に形成されている。本実施形態では、下部電極用上層配線 21a と下部電極用コンタクトプラグ 22a、および各上部電極用上層配線 21b と各上部電極用コンタクトプラグ 22b は、すべてアルミニウム (Al) を用いて一体に形成されている。各上層配線 21a、21b および各コンタクトプラグ 22a、22b の周囲には、バリアメタル膜 23 が設けられている。本実施形態では、バリアメタル膜 23 は、導電性を有するセラミック層である TiN 膜 23a と、金属層である Ti 膜 23b との 2 層構造に形成されている。TiN 膜 23a は、各上層配線 21a、21b および各コンタクトプラグ 22a、22b に直接接触して設けられている。また、Ti 膜 23b は、下部電極 14 または各エッチングストッパー膜 18 に直接接触して設けられている。

#### 【0041】

また、図 1 (b) に示される断面内には現れないため図示を省略するが、第 1～第 5 の層間絶縁膜 10、11、12、19、20 には、下部電極用上層配線 21a を介して下部電極 14 とソース・ドレイン拡散層 3 とを電氣的に接続するためのコンタクトプラグが形成される。このコンタクトプラグは、第 1～第 5 の層間絶縁膜 10、11、12、19、20 内にコンタクトホールを形成し、このコンタクトホール内に  $n^+$  多結晶シリコン膜を埋め込むことにより形成される。同じく図示を省略するが、同様の方法により、第 1～第 5 の層間絶縁膜 10、11、12、19、20 には、各上部電極用上層配線 21b を介して各上部電極 17 とソース・ドレイン拡散層 3 とを電氣的に接続するためのコンタクトプラグが形成される。

#### 【0042】

なお、図 1 (b) においては、図面を見易くするために、積層膜からなる下部電極 14、上部電極 17、ならびに第 1 および第 2 のハードマスク膜 19a、19b を、それぞれ簡略化して 1 層の膜として描いた。

#### 【0043】

次に、本発明の一実施形態に係る半導体装置の製造方法を図 2～図 4 を参照しつつ説明する。図 2～図 4 は、本実施形態に係る半導体装置の製造方法を示す工程断面図である。より具体的には、図 2～図 4 は、前述した Chain F e R A M 1 の製造方法を示す工程断面図である。

#### 【0044】

先ず、図 2 (a) に示すように、p 型シリコン基板 2 の表層部に、スイッチ動作を司る MOS トランジスタ 5 を 2 個形成する。はじめに、p 型 Si 基板 2 の表層部のうち、トランジスタ活性領域 (ソース・ドレイン拡散層) 3 以外の領域に、素子分離のための図示しない溝 (凹部) を複数個形成する。続けて、各溝内に  $\text{SiO}_2$  を埋め込むことにより、p 型 Si 基板 2 の表層部に図示しない複数の素子分離 (Shallow Trench Isolation: STI) 領域を形成する。続けて、熱酸化法により、複数の STI 領域が形成された p 型 Si 基板 2 の表面上にゲート絶縁膜となるシリコン酸化膜 ( $\text{SiO}_2$  膜) 6 を約 6 nm の膜厚で全面的に設ける。続けて、シリコン酸化膜 6 の表面上に、砒素 (As) がドーブされた  $n^+$  型多結晶シリコン膜 (ポリ Si 膜) 7a を全面的に設ける。このポリ Si 膜 7a は、ゲート電極 7 の下層部となる。続けて、このポリ Si 膜 7a の表面上に、 $\text{WSi}_2$  膜 ( $\text{WSi}_x$  膜) 7b およびシリコン窒化膜 ( $\text{SiN}$  膜) 8 を連続して積層する。 $\text{WSi}_2$  膜 7b は、ゲート電極 7 の上層部となる。また、 $\text{SiN}$  膜 8 はゲートキャップ膜となる。

#### 【0045】

しかる後、 $\text{SiO}_2$  膜 6、ポリ Si 膜 7a、 $\text{WSi}_2$  膜 7b、および  $\text{SiN}$  膜 8 を、通常の光リソグラフィ法および RIE 法により加工する。これにより、p 型 Si 基板 2 の表面上に、ポリ Si 膜 7a 上に  $\text{WSi}_2$  膜 7b が積層されたポリサイド構造を有するゲート



電極 7 を 2 個形成する。続けて、ゲート電極 7 などが形成された p 型 Si 基板 2 の表面上にシリコン窒化膜 (SiN 膜) 9 を堆積させる。この後、RIE 法を用いるいわゆる側壁残しの手法によって SiN 膜 9 を所定の形状に加工して、各ゲート電極 7 の両側部にゲート側壁膜 (スペーサ部) 9 を設ける。これにより、p 型 Si 基板 2 の表面上に、各 MOS トランジスタ 5 の主要部となるゲート 4 が 2 個設けられる。また、プロセスの詳細な説明は省略するが、ゲート側壁膜 9 を設ける際に、通常のイオン注入法および所定の加熱処理によって、p 型 Si 基板 2 の表層部にソース・ドレイン領域 (トランジスタ活性領域) 3 を形成する。これにより、p 型 Si 基板 2 の表層部に、ソース・ドレイン領域 3 および 2 個のゲート 4 などからなる MOS トランジスタ 5 が 2 個設けられる。

#### 【0046】

続けて、CVD 法により、例えば SiO<sub>2</sub> 膜などの絶縁性を有する酸化膜 (CVD 酸化膜) 10 を、2 個の MOS トランジスタ 5 が形成された p 型 Si 基板 2 の表面上に、それらを覆って全面的に堆積させる。この後、堆積した CVD 酸化膜 10 の上面 (表面) を CMP 法により平坦化する。この CVD 酸化膜は、第 1 の層間絶縁膜 10 となる。

#### 【0047】

続けて、例えば RIE 法により、第 1 の層間絶縁膜 10 内に、ソース・ドレイン領域 3 に連通する図示しないコンタクトホールを形成する。この後、例えばスパッタリング法あるいは CVD 法により、コンタクトホールが形成された第 1 の層間絶縁膜 10 の表面上に図示しない薄いチタン膜 (Ti 薄膜) を堆積させる。続けて、この Ti 薄膜に対して、窒素を含む所定のフォーミングガス中で所定の加熱処理を施すことによって、その上層部を図示しない TiN 薄膜に変質させる。続けて、コンタクトホールの内部が埋まるまで、TiN 薄膜の表面上に図示しない n<sup>+</sup>多結晶シリコン膜を CVD 法により全面的に堆積させる。この後、第 1 の層間絶縁膜 10 の表面が露出するまで CMP 法を行うことにより、コンタクトホールの外部に設けられた n<sup>+</sup>多結晶シリコン膜、ならびに TiN 薄膜および Ti 薄膜からなる積層膜を研磨して除去する。すなわち、コンタクトホール内に、コンタクトプラグとなる n<sup>+</sup>多結晶シリコン膜およびバリアメタル膜となる TiN/Ti 積層膜を埋め込む。これにより、第 1 の層間絶縁膜 10 内に、ソース・ドレイン領域 3 に電氣的に接続される図示しないコンタクトプラグを形成する。

#### 【0048】

続けて、CVD 法により、例えば SiN 膜などの絶縁性を有する窒化膜 (CVD 窒化膜) 11 を、コンタクトプラグが形成された第 1 の層間絶縁膜 10 の表面上に全面的に堆積させる。この後、第 1 の層間絶縁膜 10 と同様に、堆積した CVD 窒化膜 11 の上面 (表面) を CMP 法により平坦化する。この CVD 窒化膜は、第 2 の層間絶縁膜 11 となる。

#### 【0049】

続けて、例えば RIE 法により、第 2 の層間絶縁膜 11 および第 1 の層間絶縁膜 10 内に、図示しない他のソース・ドレイン領域に連通する図示しない他のコンタクトホールを形成する。この後、前述したコンタクトプラグを形成する場合と同様の方法により、第 1 および第 2 の層間絶縁膜 10, 11 内に形成されたコンタクトホール内に、図示しないコンタクトプラグとなる n<sup>+</sup>多結晶シリコン膜およびバリアメタル膜となる TiN/Ti 積層膜を埋め込む。これにより、第 1 および第 2 の層間絶縁膜 10, 11 内に、他のソース・ドレイン領域およびキャパシタ 13 に電氣的に接続される図示しないコンタクトプラグを形成する。

#### 【0050】

続けて、CVD 法により、例えば SiO<sub>2</sub> 膜などの絶縁性を有する酸化膜 (CVD 酸化膜) 12 を、コンタクトプラグが形成された第 2 の層間絶縁膜 11 の表面上に全面的に堆積させる。この後、第 1 および第 2 の層間絶縁膜 10, 11 と同様に、堆積した CVD 酸化膜 12 の上面 (表面) を CMP 法により平坦化する。この CVD 酸化膜は、第 3 の層間絶縁膜 12 となる。

#### 【0051】

次に、図 2 (b) に示すように、第 3 の層間絶縁膜 12 の表面上に、キャパシタ 13 の

下部電極となる膜(層) 14 を全面的に設ける。続けて、この膜 14 の上に、キャパシタ 13 の絶縁膜となる膜(層) 16、キャパシタ 13 の上部電極となる膜(層) 17、エッチングストッパー膜となる膜(層) 18、および第 1 のハードマスク膜となる膜(層) 19 a を、順次連続して積層する。

#### 【0052】

次に、図 3 (a) に示すように、第 3 の層間絶縁膜 12 の表面上に設けられた各膜 14、16、17、18、19 a を加工して、2 個の MOS トランジスタ 5 の上方にキャパシタ 13 をそれぞれ 1 個ずつ形成する。

#### 【0053】

以下、キャパシタ下部電極 14 を SRO/Ti/Pt/Ti 積層膜で、キャパシタ絶縁膜 16 を PZT 膜で、キャパシタ上部電極 17 を Pt/SRO 積層膜で、エッチングストッパー膜 18 を SRO 膜で、そして上部電極加工用ハードマスク膜 19 a を SiO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> 積層膜でそれぞれ形成する場合を例に挙げて、キャパシタ 13 を形成する工程について具体的に説明する。ただし、図 2～図 4 においては、図面を見易くするために、積層膜からなる下部電極 14、上部電極 17、ならびに上部電極加工用ハードマスク膜 19 a を、それぞれ簡略化して 1 層の膜として描いた。また、上部電極加工用ハードマスク膜 19 a と同様に、SiO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> 積層膜からなる下部電極加工用ハードマスク膜(第 2 のハードマスク膜) 19 b も、図 2～図 4 において簡略化して 1 層の膜として描いた。

#### 【0054】

先ず、第 3 の層間絶縁膜としての SiO<sub>2</sub> 膜 12 の表面上に、スパッタリング法により Ti 膜を約 2.5 nm 堆積させる。続けて、Ti 膜を大気に晒さずに、Ti 膜上に、スパッタリング法により Pt 膜を約 100 nm 堆積させる。続けて、Pt 膜上に、スパッタリング法により、Ti 膜を約 2.5 nm、SRO 膜を約 10 nm 連続して堆積させる。この後、O<sub>2</sub> 雰囲気下で、Ti 膜、Pt 膜、Ti 膜、および SRO 膜からなる積層膜に、約 650℃ の急速熱アニール(Rapid Thermal Anneal: RTA) 処理を約 30 秒間施す。これにより、キャパシタ下部電極 14 となる SRO/Ti/Pt/Ti 積層膜を得る。

#### 【0055】

次に、SRO 膜の表面上に、スパッタリング法により PZT 膜 16 を約 80～140 nm 堆積させる。この後、PZT 膜 16 を結晶化させるために、O<sub>2</sub> 雰囲気下で、PZT 膜 16 に約 650℃ の RTA 処理を約 30 秒間施す。これにより、キャパシタ絶縁膜となる PZT 膜 16 を得る。

#### 【0056】

次に、PZT 膜 16 の表面上に、スパッタリング法により SRO 膜を約 10 nm 堆積させる。この後、O<sub>2</sub> 雰囲気下で、SRO 膜に約 650℃ の RTA 処理を約 30 秒間施す。続けて、SRO 膜上に、スパッタリング法により Pt 膜を約 50 nm 堆積させる。これにより、キャパシタ上部電極 17 となる Pt/SRO 積層膜を得る。

#### 【0057】

次に、Pt 膜の表面上に、スパッタリング法によりエッチングストッパー膜となる SRO 膜 18 を堆積させる。

#### 【0058】

次に、SRO 膜 18 の表面上に、スパッタリング法により Al<sub>2</sub>O<sub>3</sub> 膜を堆積させる。続けて、Al<sub>2</sub>O<sub>3</sub> 膜上に、CVD 法により SiO<sub>2</sub> 膜を堆積させる。これにより、上部電極加工用ハードマスク膜(第 1 のハードマスク膜) 19 a となる SiO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> 積層膜を得る。この SiO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> 積層膜 19 a は、具体的には、各キャパシタ 13 の上部電極 17 に RIE 加工を施す際の RIE 加工用ハードマスク膜となる。

#### 【0059】

これまでの工程により、図 2 (b) に示す構造を得る。

#### 【0060】

次に、上部電極加工用ハードマスク膜(SiO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> 積層膜) 19 a の表面上に図示しないレジストマスクを設けた後、このレジストマスクを光リソグラフィ法および R



IE法などにより所定の形状に加工する。続けて、上部電極加工用ハードマスク膜19aを、RIE法により所定の形状に加工する。この後、アッシャー処理を行ってレジストマスクを除去する。続けて、上部電極加工用ハードマスク膜19aをマスクとして、エッチングストッパー膜(SRO膜)18、キャパシタ上部電極(Pt/SRO積層膜)17、およびキャパシタ絶縁膜(PZT膜)16を、順次RIE法により所定の形状に加工する。

#### 【0061】

次に、図3(a)に示すように、キャパシタ下部電極(SRO/Ti/Pt/Ti積層膜)14の表面上に、2個のキャパシタ13を覆って下部電極加工用ハードマスク膜(第2のハードマスク膜)19bとなるSiO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>積層膜を設ける。このSiO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>積層膜19bは、上部電極加工用ハードマスク膜となるSiO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>積層膜19aと同様に、例えばCVD法あるいはスパッタリング法により、キャパシタ下部電極14の表面上にAl<sub>2</sub>O<sub>3</sub>およびSiO<sub>2</sub>を順次連続して堆積させることにより設けられる。このSiO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>積層膜19bは、具体的には、キャパシタ下部電極14にRIE加工を施す際のRIE加工用ハードマスク膜となる。

#### 【0062】

次に、下部電極加工用ハードマスク膜(SiO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>積層膜)19bの表面上に図示しないレジストマスクを設けた後、このレジストマスクを光リソグラフィ法およびRIE法などにより所定の形状に加工する。続けて、下部電極加工用ハードマスク膜19bを、RIE法により所定の形状に加工する。この後、アッシャー処理を行ってレジストマスクを除去する。続けて、下部電極加工用ハードマスク膜19bをマスクとして、キャパシタ下部電極14をRIE法により所定の形状に加工する。

#### 【0063】

これまでの工程により、図3(a)に示すように、2個のMOSトランジスタ5の上方に、所望のキャパシタ13をそれぞれ1個ずつ形成する。

#### 【0064】

次に、図3(b)に示すように、下部電極加工用ハードマスク膜19bの表面上に、例えばCVD法により第4の層間絶縁膜としてのSiO<sub>2</sub>膜20を堆積させる。続けて、この第4の層間絶縁膜(SiO<sub>2</sub>膜)20の表面上に図示しないレジストマスクを設けた後、このレジストマスクを光リソグラフィ法およびRIE法などにより所定の形状に加工する。続けて、光リソグラフィ法およびRIE法などにより、下部電極用上層配線(第1の配線)21aを設けるための第1の配線用凹部24a、および下部電極用コンタクトプラグ(第1のコンタクトプラグ)22aを設けるための第1のコンタクトプラグ用凹部25aを、第4の層間絶縁膜20および下部電極加工用ハードマスク19b内に形成する。また、同じく光リソグラフィ法およびRIE法などにより、上部電極用上層配線(第2の配線)21bを設けるための第2の配線用凹部24b、および上部電極用コンタクトプラグ(第2のコンタクトプラグ)22bを設けるための第2のコンタクトプラグ用凹部25bを、第4の層間絶縁膜20、ならびに上部電極加工用ハードマスク膜19aおよび下部電極加工用ハードマスク19b内に形成する。

#### 【0065】

本実施形態では、第2の配線用凹部24bを第1の配線用凹部24aと並行して形成する。それとともに、第2のコンタクトプラグ用凹部(第2のコンタクトホール、上部電極用コンタクトホール)25bを、第1のコンタクトプラグ用凹部(第1のコンタクトホール、下部電極用コンタクトホール)25aと並行して形成する。この際、下部電極用コンタクトホール25aを第1の配線用凹部24aと一体に形成する。同様に、上部電極用コンタクトホール25bを第2の配線用凹部24bと一体に形成する。この後、アッシャー処理を行ってレジストマスクを除去する。

#### 【0066】

次に、第1および第2の配線用凹部24a、24b、ならびに第1および第2のコンタクトホール25a、25bが形成された第4の層間絶縁膜20および下部電極加工用ハー

ドマスク 19b の表面上に、バリアメタル膜 23 となる Ti 膜 23b および TiN 膜 23a をスパッタリング法により順次連続して堆積させる。続けて、スパッタリング法により、第 1 および第 2 の配線用凹部 24a, 24b の内部、ならびに第 1 および第 2 のコンタクトホール 25a, 25b の内部が埋まるまで、TiN 膜 23a の表面上に Al 膜を堆積させる。この Al 膜は、下部電極用上層配線 21a、下部電極用コンタクトプラグ 22a、上部電極用上層配線 21b、および上部電極用コンタクトプラグ 22b の形成材料となる。この後、CMP 法により第 4 の層間絶縁膜 20 の上面を平坦化することにより、第 1 および第 2 の配線用凹部 24a, 24b の内部、ならびに第 1 および第 2 のコンタクトホール 25a, 25b の内部に Al/TiN/Ti 積層膜を埋め込む。これにより、デュアルダマシン構造からなる、下部電極用上層配線 21a と下部電極用コンタクトプラグ 22a、および上部電極用上層配線 21b と上部電極用コンタクトプラグ 22b とを得る。

#### 【0067】

以上の工程により、図 4 に示すように、オフセット構造のスタック型キャパシタ 13 を備える Chain FeRAM1 の主要部が形成される。以後、図示および詳しい説明は省略するが、所定の工程を経て、所望の Chain FeRAM1 を得る。

#### 【0068】

以上説明したように、この一実施形態によれば、キャパシタ 13 の上部電極 17 と、キャパシタ 13 を覆って設けられたハードマスク膜 19 との間に、ハードマスク膜 19 よりもエッチングレートが低い材料により形成されたエッチングストッパー膜 18 が設けられている。これにより、例えばキャパシタ下部電極 14 の上面が下部電極用コンタクトホール 25a により露出されるまで、上部電極用コンタクトホール 25b を下部電極用コンタクトホール 25a と並行して形成しても、上部電極用コンタクトホール 25b がエッチングストッパー膜 18 を貫通してキャパシタ上部電極 17 の内部に侵入したり、あるいはキャパシタ上部電極 17 を貫通したりするおそれが殆ど無い。すなわち、本実施形態に係る半導体装置としての Chain FeRAM1 は、キャパシタ上部電極 17 の膜減りや突き抜けが防止された構造を有するオフセット構造のスタック型キャパシタ 13 を備えている。したがって、スタック型キャパシタ 13 はもちろんのこと、Chain FeRAM1 は、その品質、電気的性能、および信頼性などが向上されている。

#### 【0069】

近年、半導体メモリの大容量化のために、さらなる高集積化および微細化が図られている。それとともに、PZT ( $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ )、BIT ( $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ )、あるいは SBT ( $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ) 等の強誘電体からなる膜をキャパシタ絶縁膜として利用する、強誘電体メモリ (FeRAM: Ferroelectric Random Access Memory) の開発が進められている。不揮発性メモリである FeRAM は、簡潔に言えば、キャパシタ絶縁膜 (容量絶縁膜) を、DRAM に用いられているシリコン酸化膜などから前述したような強誘電体膜に置き換えたものである。FeRAM は、例えば次に述べるような特徴を有しており、次世代メモリとして期待されている。

#### 【0070】

書き込みおよび消去が高速であり、セルを小型化することで DRAM などの 100 ns 以下の書き込み時間を達成することが可能である。

#### 【0071】

同じ不揮発性メモリである SRAM と異なり、電源が不必要である。

#### 【0072】

書き換え可能回数が多く、容量絶縁膜として用いる強誘電体材料 (PZT、BIT、SBT 等) や、電極材料 ( $\text{IrO}_x$ 、 $\text{RuO}_x$ 、 $\text{SrRuO}_3$  等) の特性を工夫することにより、 $10^{12}$  回以上もの書き換え可能回数を達成することが可能である。

#### 【0073】

原理的に高密度化 (高集積化) が可能であり、DRAM と同等の集積度を得ることができる。

#### 【0074】

内部の書き込み電圧を、例えば約 2 V 程度まで低くすることができ、消費電力を低く抑えて動作できる。

【0075】

ランダムアクセスによるビット書き換えが可能である。

【0076】

このように、FeRAM は、DRAM よりも優れた点を幾つも有している。

【0077】

一般に、FeRAM では、キャパシタ絶縁膜に PZT ( $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ )、BIT ( $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ )、SBT ( $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ) 等の強誘電体からなる薄膜を使用する。これら各強誘電体は、いずれも酸素八面体を基本構造とするペロブスカイト構造からなる結晶構造を有している。ちなみに、DRAM 用キャパシタ材料として検討されている常誘電体 BST も、前記各強誘電体と同様の結晶構造を有している。前記各強誘電体は、従来の Si 酸化膜と異なり、アモルファス状態ではその特徴である強誘電性や高誘電性が発現しないので、キャパシタ絶縁膜として使用することができない。前記各強誘電体をキャパシタ絶縁膜として使用するためには、前記各強誘電体を結晶化させるための工程、例えば高温での結晶化熱処理、高温での In-situ 結晶化プロセスなどが必要となる。材料にもよるが、これらの結晶化プロセスには、一般的に少なくとも約 400～700℃ の温度が必要となる。また、前記各強誘電体からなる膜の成膜方法としては、例えばレーザアブレーション法、真空蒸着法、MBE 法など各種の方法が研究されている。実用化されている成膜方法としては、MOCVD 法、スパッタ法、あるいは溶液法 (CSD: Chemical Solution Deposition) がある。以下、代表的な強誘電体材料である PZT と SBT を例にとって、それらの特徴について説明する。

【0078】

強誘電体は自発分極があり、その自発分極の向きは電界の向きにより反転可能である。また、強誘電体の自発分極は、強誘電体に電界を印加しない状態でも分極値 (残留分極) を有しており、その値 (分極の向き) は電界を 0 とする前の状態に依存する。したがって、強誘電体は、これに印加する電界の向きにより + または - の電荷を結晶表面に誘起することができ、それらいずれかの状態をメモリ素子の 0 または 1 に対応させる。従来の FeRAM では、DRAM と同様に 1 対のキャパシタとトランジスタとを組み合わせ (1 トランジスタ / 1 キャパシタ: 1T / 1C)、情報の 1 ユニットとしていた。しかし、最近では信頼性を向上させるために、主に 2T / 2C 構造の FeRAM が主流になりつつある。また、FeRAM に積極的に使用されている強誘電体材料は、PZT ( $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ ) 薄膜、SBT ( $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ) 薄膜である。

【0079】

前者の PZT は、例えば次に述べるような特徴を有している。結晶化温度が約 600℃ である。分極値が大きく、残留分極値が約  $20 \mu\text{C} / \text{cm}^2$  である。ヒステリシス曲線で分極値が 0 となる際の電界値である抗電界が比較的小さいため、低電圧で分極反転が可能である。Zr / Ti 組成比を変化させることにより、結晶化温度の他に、グレインサイズ、グレイン形状、および結晶構造などの構造特性、ならびに分極量、抗電界、疲労特性、およびリーク電流などの強誘電特性を容易に制御可能である。ペロブスカイト結晶構造が有する元素許容性に基づき、A サイトと呼ばれる Pb を Sr、Ba、Ca、La などの元素で、また B サイトと呼ばれる Zr、Ti を Nb、W、Mg、Co、Fe、Ni、Mn などの元素で、それぞれ置換することが可能である。そして、それら各元素に応じて、PZT の結晶構造、構造特性、強誘電特性などを大きく変えることができる。以上が、PZT が有する主な利点である。

【0080】

PZT は、早くから薄膜化の検討がなされてきており、スパッタ法や、ゾルゲル法などによる研究例も多い。PZT は、前述した各強誘電体材料のうち、FeRAM のキャパシタ絶縁膜として最初に実用化された材料である。ただし、PZT には前述した様々な利点がある反面、書き込み回数の増加に伴って分極量の減少 (疲労特性) が生じる。このよう

な P Z T 膜の疲労は、例えばキャパシタ電極を P t により形成した場合、P Z T 膜と P t 電極との界面に生じる酸素空孔が主たる原因と考えられている。そして、この酸素空孔の発生理由の一つとして、P b の揮発性および拡散容易性が挙げられる。P b は、ペロブスカイト結晶構造の一部を構成しているため、酸素空孔が生じると近傍の陽イオンと双極子を形成し、スイッチング電荷の減少を引き起こす。近年の研究によれば、P Z T の疲労特性は、電界により加速されることが分かった。この性質を利用して、最近では、F e R A M の動作電圧の低電圧化を図ったり、キャパシタ電極の材料を P t から S R O ( S r R u O<sub>3</sub>) や I r O<sub>x</sub> などの酸化物導電体に切り替えたりするなどの、P Z T の疲労特性の改善がなされている。

#### 【0081】

他方、後者の S B T は、P Z T が有する疲労特性の改善、および P Z T 膜を採用した F e R A M の低電圧駆動を達成するために開発された材料である。S B T は、B i 層状化合物 (Aurivillius Phase) の一種であり、強誘電性の起源となる酸素八面体からなる擬似ペロブスカイト構造層を、B i<sub>2</sub>O<sub>2</sub> 層が挟む結晶構造を有している。この構造により、主たる分極は c 軸と垂直な面内にあり、c 軸方向の分極は無い。たとえ c 軸方向に分極があったとしても、その分極値は c 軸と垂直な面内の分極値に比べて十分小さい。S B T は、擬似ペロブスカイト構造中の酸素八面体の数によって、その分極が発現する。S B T は、揮発性元素である B i を失っても、電荷を補償する酸素空孔自体が B i 酸化物層に生成されるため、その擬似ペロブスカイト構造への直接的な影響は少ない。また、S B T は、価数が増減し易い T i を含んでいない点でも、P Z T より優れている。ただし、S B T は、P Z T に比べて結晶化温度が高い。

#### 【0082】

以上説明した P b (Z r, T i) O<sub>3</sub> などを代表とする各強誘電体膜を用いた F e R A M や、それら強誘電体膜をキャパシタ絶縁膜として用いた強誘電体キャパシタを備えた混載メモリにおいて、前述したキャパシタ 13 の上部電極 17 の膜減りや突き抜けは、それら各半導体装置の生産歩留まりや信頼性を左右する非常に重要な要素となる。また、前述した各コンタクトホール 25 a, 25 b を R I E 法により形成する際に発生する水素や、プラズマによる上部電極 17 に対するダメージも、前記各半導体装置の生産歩留まりや信頼性を左右する非常に重要な要素となる。

#### 【0083】

本実施形態では、前述したように、キャパシタ 13 を覆って設けられる第 1 および第 2 のハードマスク膜 19 a, 19 b とキャパシタ上部電極 17 との間に、それら各ハードマスク膜 19 a, 19 b よりもエッチングレートの高いエッチングストッパー膜 (電極保護膜) 18 を設ける。これにより、下部電極用および上部電極用の各コンタクトホール 25 a, 25 b を R I E 法により形成する際の上部電極 17 の膜減りや突き抜けを殆ど無くすることができる。このような効果は、例えば 0.30 μm 以下のデザインルールで製造される、高集積化および微細化が図られた F e R A M や混載メモリにおいて、それらの生産歩留まりや信頼性を向上できるという点で有効である。特に、図 1 (a) および (b) に示す Chain F e R A M 1 のように、キャパシタ 13 の上部電極 17 間を上部電極用上層配線 21 b で接続する半導体装置において、その生産歩留まりや信頼性を大幅に向上できるという点で極めて有効である。さらに、本実施形態によれば、次に述べるような効果も得ることができる。

#### 【0084】

上部電極用上層配線 21 b および上部電極用コンタクトプラグ 22 b を埋め込み形成する際に、キャパシタ 13 の上部電極 17 の膜減りや突き抜けが殆ど無いので、上部電極 17 に掛かるストレスおよびダメージを殆ど無くすることができる。これにより、キャパシタ 13 の特性および生産歩留まりを向上させることができる。その結果、半導体装置 (Chain F e R A M) 1 の信頼性を向上させることができる。

#### 【0085】

また、上部電極 17 の膜減りや突き抜けが殆ど無いので、上部電極 17 に上部電極用上

層配線 21b (上部電極用コンタクトプラグ 22) を電氣的に接合する際の歩留まりを向上させることができる。また、下部電極用および上部電極用の各コンタクトホール 25a, 25b を RIE 法により形成する際に、キャパシタ絶縁膜 16 にダメージを殆ど与えずに済む。さらに、各上層配線 21a, 21b、および各コンタクトプラグ 22a, 22b の形成材料である Al や、バリアメタル膜 23 の形成材料である TiN 膜 23a や Ti 膜 23b と、キャパシタ絶縁膜 16 との反応を抑制できるので、キャパシタ 13 の特性劣化を殆ど無くすることができる。これらの結果、半導体装置 1 の生産歩留まりや、信頼性を向上させることができる。

#### 【0086】

また、上部電極 17 の膜減りや突き抜けが殆ど無いので、RIE 工程におけるキャパシタ 13 へのプラズマダメージを殆ど無くすることができる。また、上部電極 17 上に SRO 等の導電性酸化物からなるエッチングストッパー膜 18 を設けることにより、下部電極用および上部電極用の各コンタクトホール 25a, 25b を RIE 法により形成する際に発生する、水素によるキャパシタ 13 へのダメージを殆ど無くすることができる。これらの結果、キャパシタ 13 の特性劣化を殆ど無くするとともに、キャパシタ 13 の製造歩留まりや信頼性を向上させることができる。

#### 【0087】

さらに、エッチングストッパー膜 (電極保護膜) 18 に SRO などの酸化物導電体を採用するとともに、エッチングストッパー膜 18 を酸素雰囲気下で形成することにより、キャパシタ絶縁膜 16 中に生じた酸素欠損に酸素を補填することができる。この結果、キャパシタ 13 の信頼性を向上させることができる。

#### 【0088】

なお、本発明に係る半導体装置およびその製造方法は、前述した一実施形態には制約されない。本発明の趣旨を逸脱しない範囲で、それらの構成または工程などの一部を種々様々な設定に変更したり、あるいはそれらの構成や工程などを適宜、適当に組み合わせて用いたりして実施することができる。

#### 【0089】

例えば、エッチングストッパー膜 18 は、前述した SRO 膜には限られない。エッチングストッパー膜 18 は、II-A 族、IV-A 族、および VIII 族に属する金属元素のうち少なくとも 1 種類の金属元素を含む材料により形成されていればよい。具体的には、Sr, Ti, Ru, Ir, Pt のうち少なくとも 1 種類の金属元素を含む材料により形成されていればよい。あるいは、そのような金属元素のうち少なくとも 1 種類の金属元素を含む酸化物導電体により形成されていればよい。そのような酸化物導電体としては、例えば  $\text{IrO}_2$ ,  $\text{RuO}_2$ ,  $\text{SrRuO}_3$  等が挙げられる。それらの材料をエッチングストッパー膜 18 として用いた場合でも、前述した SRO 膜と同等の効果を得ることができる。また、キャパシタ上部電極 17 は、エッチングストッパー膜 18 を形成する材料を少なくとも 1 種類含む材料により形成されていることが好ましい。これにより、上部電極 17 の膜減りや突き抜けをより防止することができる。

#### 【0090】

また、前述した一実施形態では、エッチングストッパー膜 18 に上部電極用コンタクトホール 25b による膜減りや突き抜け等が生じない設定としたが、これに限定されるものではない。少なくとも、上部電極 17 に膜減りや突き抜け等が生じなければ、エッチングストッパー膜 18 に膜減りや突き抜け等が生じても構わない。ただし、エッチングストッパー膜 18 にも、膜減りや突き抜け等が生じないことが好ましいのは、もちろんである。

#### 【0091】

また、下部電極 14、上部電極 17、ならびに第 1 および第 2 のハードマスク膜 19a, 19b は、前述した積層膜には限定されない。下部電極 14、上部電極 17、ならびに第 1 および第 2 のハードマスク膜 19a, 19b は、それぞれ適宜、適正な材料により形成されればよい。また、下部電極 14、上部電極 17、ならびに第 1 および第 2 のハードマスク膜 19a, 19b を、それぞれ単一の材料により形成してもよい。あるいは、下部

電極 14、上部電極 17、ならびに第 1 および第 2 のハードマスク膜 19a、19b を、それぞれ独立に単層膜または積層膜に作り分けても構わない。

#### 【0092】

また、第 1 および第 2 のハードマスク膜 19a、19b を、それぞれ前述した  $\text{SiO}_2$  /  $\text{Al}_2\text{O}_3$  積層膜により形成する必要はない。 $\text{Al}_2\text{O}_3$  膜の代わりに、 $\text{TiO}_2$  膜、あるいは  $\text{Ta}_2\text{O}_5$  膜等を使っても、 $\text{Al}_2\text{O}_3$  膜と同等の効果を得ることができる。また、第 1 および第 2 のハードマスク膜 19a、19b は、前述したように同一の材料により形成される必要はない。第 1 および第 2 のハードマスク膜 19a、19b を、それぞれ別の材料により形成しても構わない。第 1 および第 2 のハードマスク膜 19a、19b のうち、少なくとも第 2 のハードマスク膜 19b がエッチングストッパー膜 18 より加工され易い材料により形成されていけばよい。また、第 1 のハードマスク膜 19a を、エッチングストッパー膜 18 と同様に、第 2 のハードマスク膜 19b よりも加工され難い材料により形成しても構わない。これにより、第 1 のハードマスク膜 19a も電極保護膜として用いることができる。第 1 のハードマスク膜 19a は、少なくとも下部電極用コンタクトホール 25a と上部電極用コンタクトホール 25b とを並行して略同じレートで形成できる程度に加工が容易な材料により形成されていけばよい。

#### 【0093】

また、第 2 のハードマスク膜 19b に対するエッチングストッパー膜 18 のエッチングレートは、必ずしも 25% 以下には限られない。第 2 のハードマスク膜 19b に対するエッチングストッパー膜 18 のエッチングレートは、下部電極用コンタクトホール 25a と上部電極用コンタクトホール 25b とを並行して略同じレートで形成する際に、上部電極 17 が損傷を受けない大きさであればよい。すなわち、エッチングストッパー膜 18、第 1 のハードマスク膜 19a、および第 2 のハードマスク膜 19b は、下部電極用コンタクトホール 25a と上部電極用コンタクトホール 25b との深さの差や、それら各コンタクトホール 25a、25b の形成方法に応じて、上部電極 17 が損傷を受けないように、それぞれ適宜、適正な材料により形成されればよい。同様に、エッチングストッパー膜 18、第 1 のハードマスク膜 19a、および第 2 のハードマスク膜 19b は、上部電極 17 が損傷を受けないように、それぞれ適宜、適正な膜厚に形成されればよい。

#### 【0094】

また、下部電極用上層配線 21a や下部電極用コンタクトプラグ 22a 等の材料には、Al 膜の代わりに W 膜や Cu 膜等を使っても構わない。その場合、CVD 法、メッキ法、あるいは塗布法などにより W 膜や Cu 膜を堆積させるとよい。

#### 【0095】

さらに、本発明が適用可能なキャパシタの構造は、図 1 (b) や図 4 に示す、いわゆる Convex 型 (凸型) のキャパシタ 13 には限られない。本発明は、様々な構造のキャパシタに適用することができる。特に、Convex 型のキャパシタ 13 と同様に、スタック型のキャパシタに有効である。スタック型のキャパシタとしては、例えばいわゆる Cylinder 型 (シリンダ型) や、Pedestal 型 (箱型) のキャパシタに本発明を適用しても、前述した一実施形態と同様の効果を得ることができる。また、たとえスタック型のキャパシタではなくとも、キャパシタの上部電極と下部電極との高さが僅かでも異なっていれば、本発明を適用して、前述した効果を得ることができる。例えば、非スタック型のキャパシタとして、いわゆるプレーナ (平面型) 構造のキャパシタに本発明を適用しても、前述した一実施形態と同様の効果を得ることができる。

#### 【0096】

さらに、本発明が適用可能な半導体装置は、図 1 (b) や図 4 に示す、Chain FeRAM 1 には限定されない。本発明をより一般的な FeRAM や DRAM、あるいは混載メモリ等に適用しても、前述した一実施形態と同様の効果を得ることができる。

#### 【図面の簡単な説明】

#### 【0097】

【図 1】一実施形態に係る半導体装置を示す平面図および断面図。

【図 2】一実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 3】一実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 4】一実施形態に係る半導体装置の製造方法を示す工程断面図。

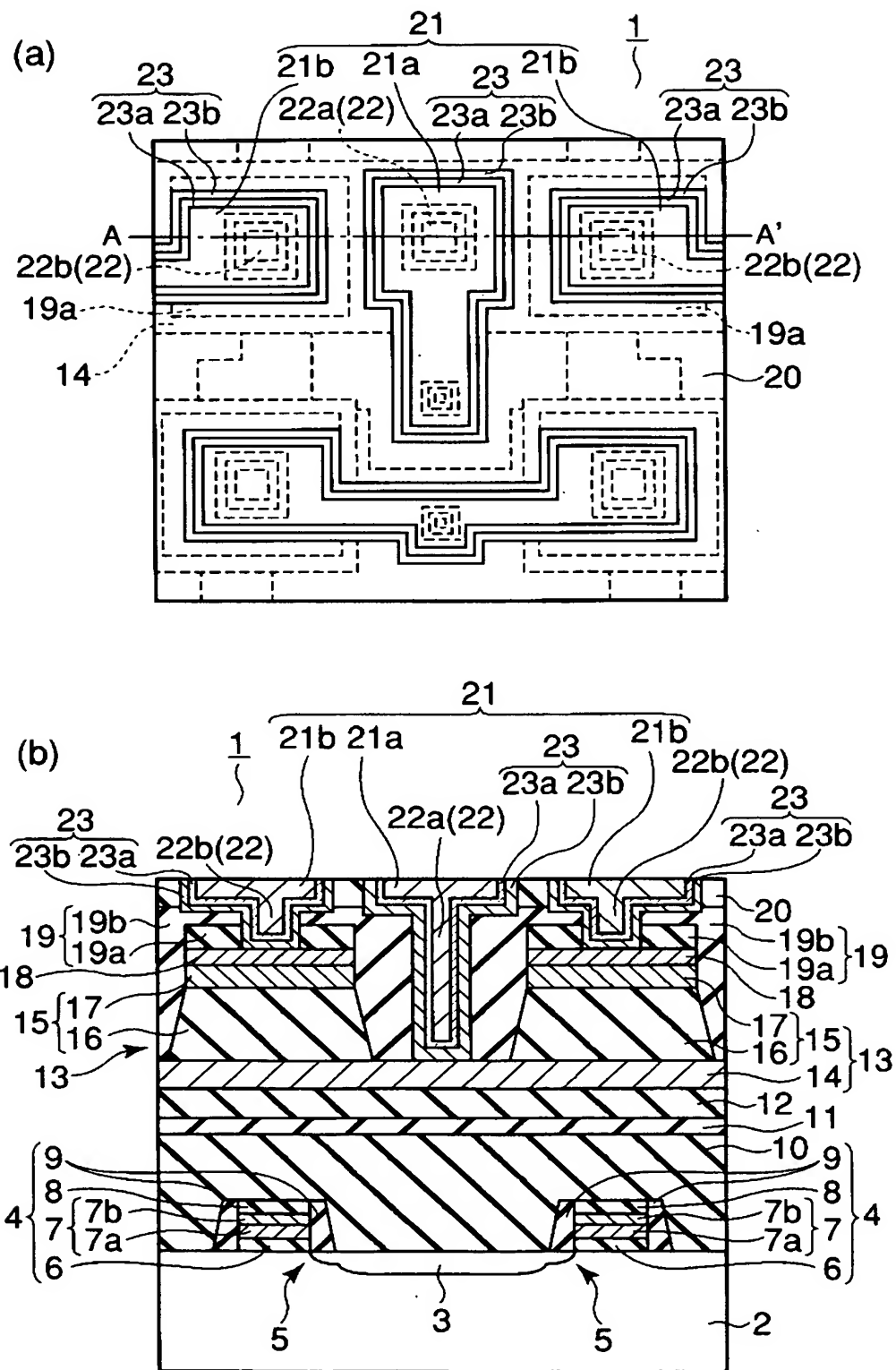
【図 5】従来の技術に係る半導体装置を示す断面図。

【符号の説明】

【 0 0 9 8 】

1…Chain F e R A M（半導体装置）、2…p 型シリコン基板、1 3…キャパシタ、1 4…キャパシタ下部電極、1 6…キャパシタ絶縁膜、1 7…キャパシタ上部電極、1 8…エッチングストッパー膜（電極保護膜）、1 9…ハードマスク膜、1 9 a…上部電極加工用ハードマスク膜（第 1 のハードマスク膜）、1 9 b…下部電極加工用ハードマスク膜（第 2 のハードマスク膜）、2 1…上層配線、2 1 a…下部電極用上層配線（第 1 の上層配線）、2 1 b…上部電極用上層配線（第 2 の上層配線）、2 2…コンタクトプラグ、2 2 a…下部電極用コンタクトプラグ（第 1 のコンタクトプラグ）、2 2 b…上部電極用コンタクトプラグ（第 2 のコンタクトプラグ）、2 4 a…第 1 の上層配線用凹部、2 4 b…第 2 の上層配線用凹部、2 5 a…下部電極用コンタクトホール（第 1 のプラグ用凹部）、2 5 b…上部電極用コンタクトホール（第 2 のプラグ用凹部）

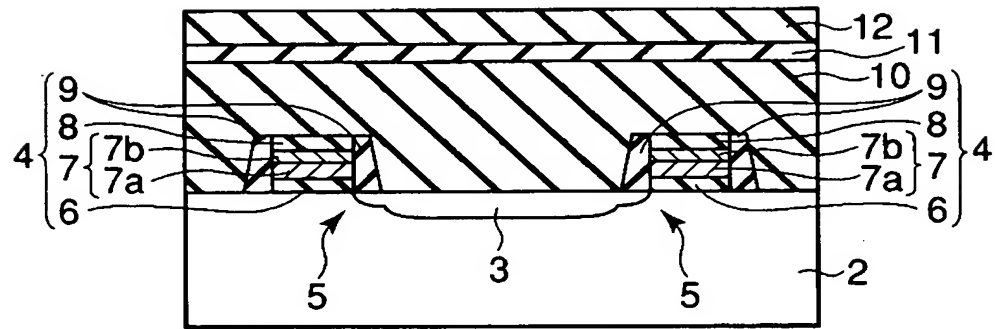
【書類名】 図面  
【図 1】



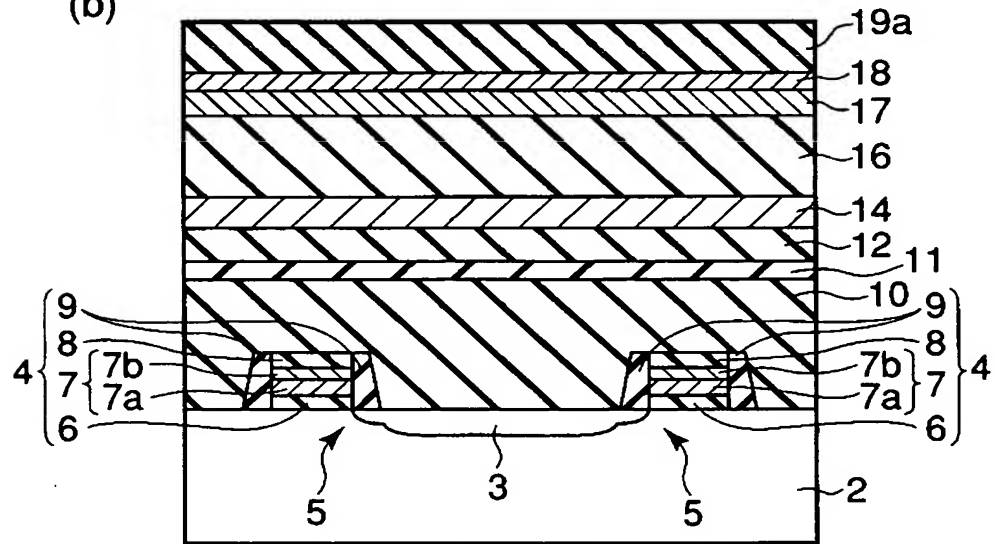


【図 2】

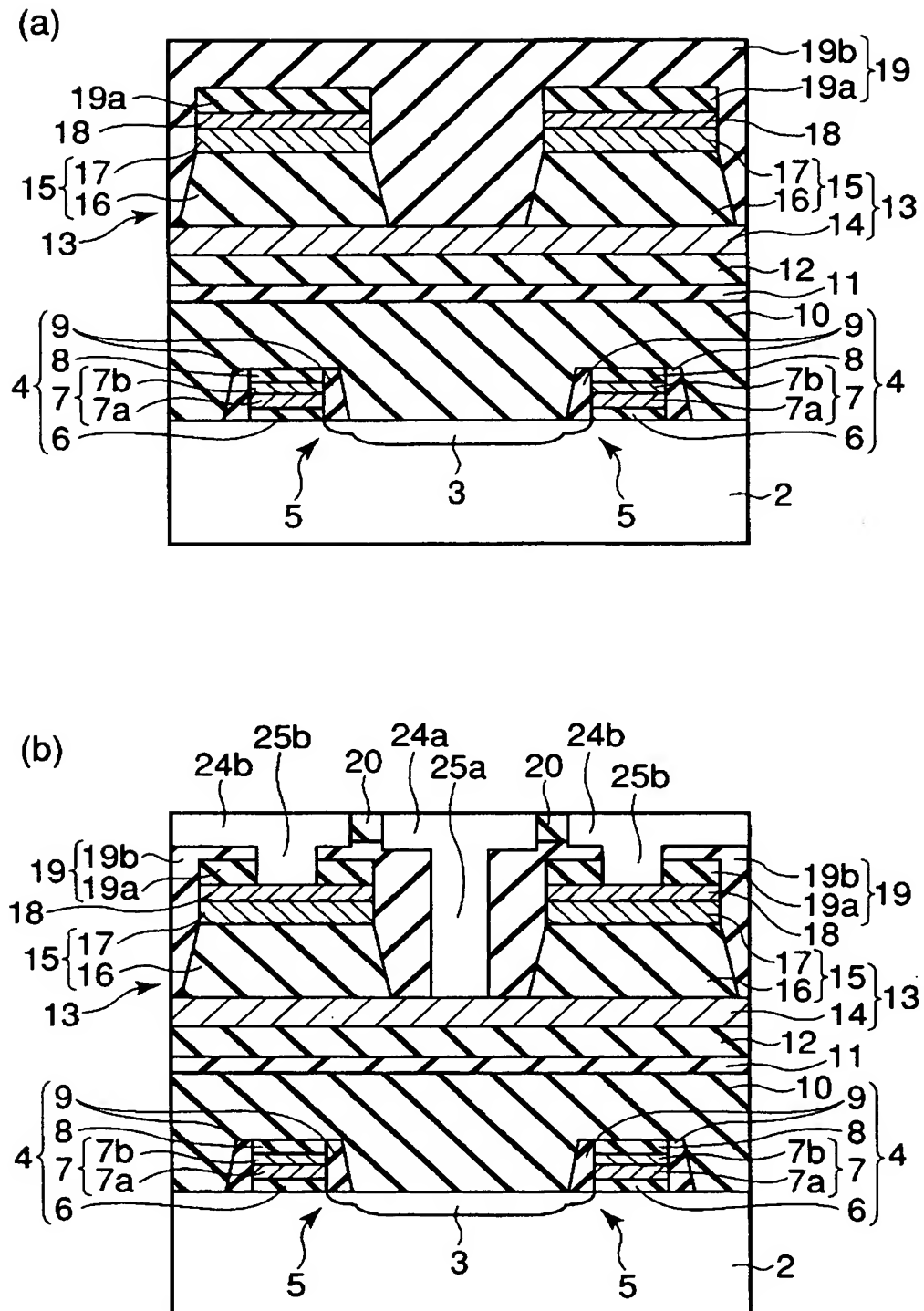
(a)



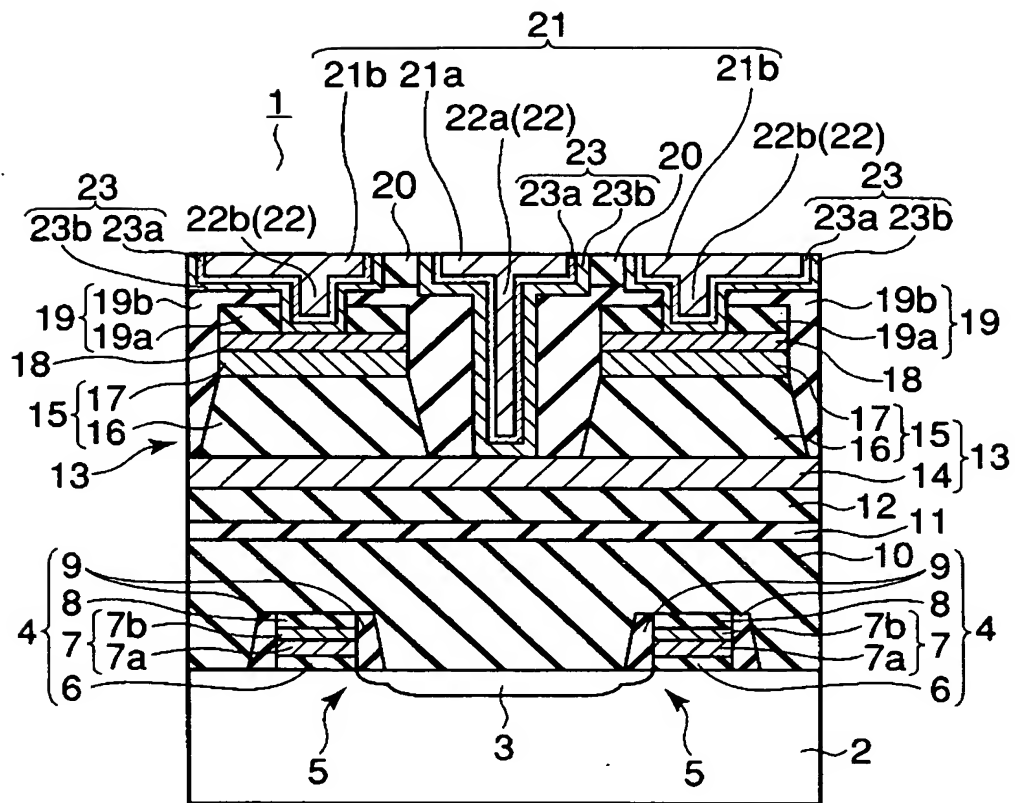
(b)



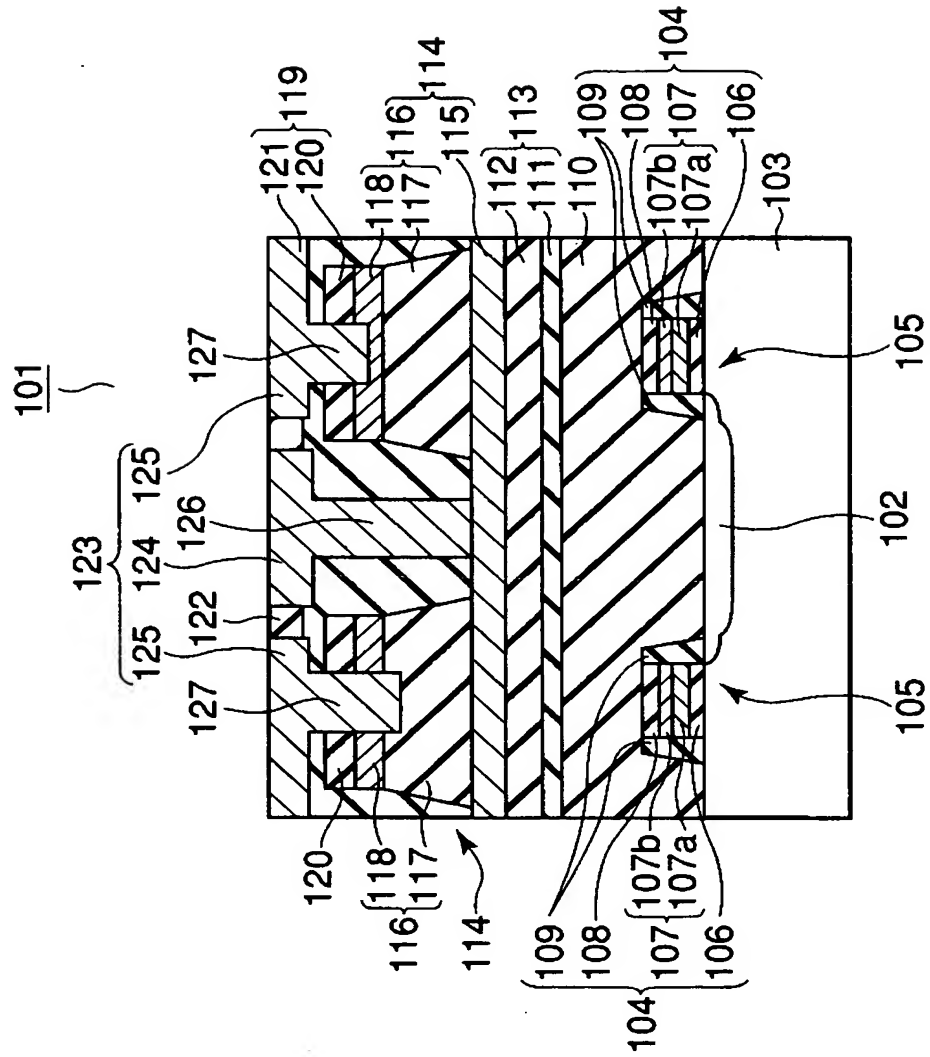
【図 3】



【図 4】



【図 5】



**【書類名】 要約書****【要約】**

**【課題】** 上部電極の膜減りや突き抜けが防止されて、品質、電氣的性能、および信頼性の向上が図られたキャパシタを備えた半導体装置を提供する。

**【解決手段】** キャパシタ 13 の上部電極 17 の上面を覆って導電体からなるエッチングストッパー膜 18 を設ける。キャパシタ 13 およびストッパー膜 18 を覆ってストッパー膜 18 よりもエッチングレートが高い材料からなるハードマスク膜 19 を設ける。ハードマスク膜 19 上に設けられた下部電極用上層配線 21 a を、下部電極用プラグ 22 a を介して下部電極 14 に電氣的に接続する。これと並行して、ハードマスク膜 19 上に設けられた上部電極用上層配線 21 b を、上部電極用プラグ 22 b およびストッパー膜 18 を介して上部電極 17 に電氣的に接続する。

**【選択図】** 図 1

特願 2 0 0 3 - 3 2 3 3 3 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝